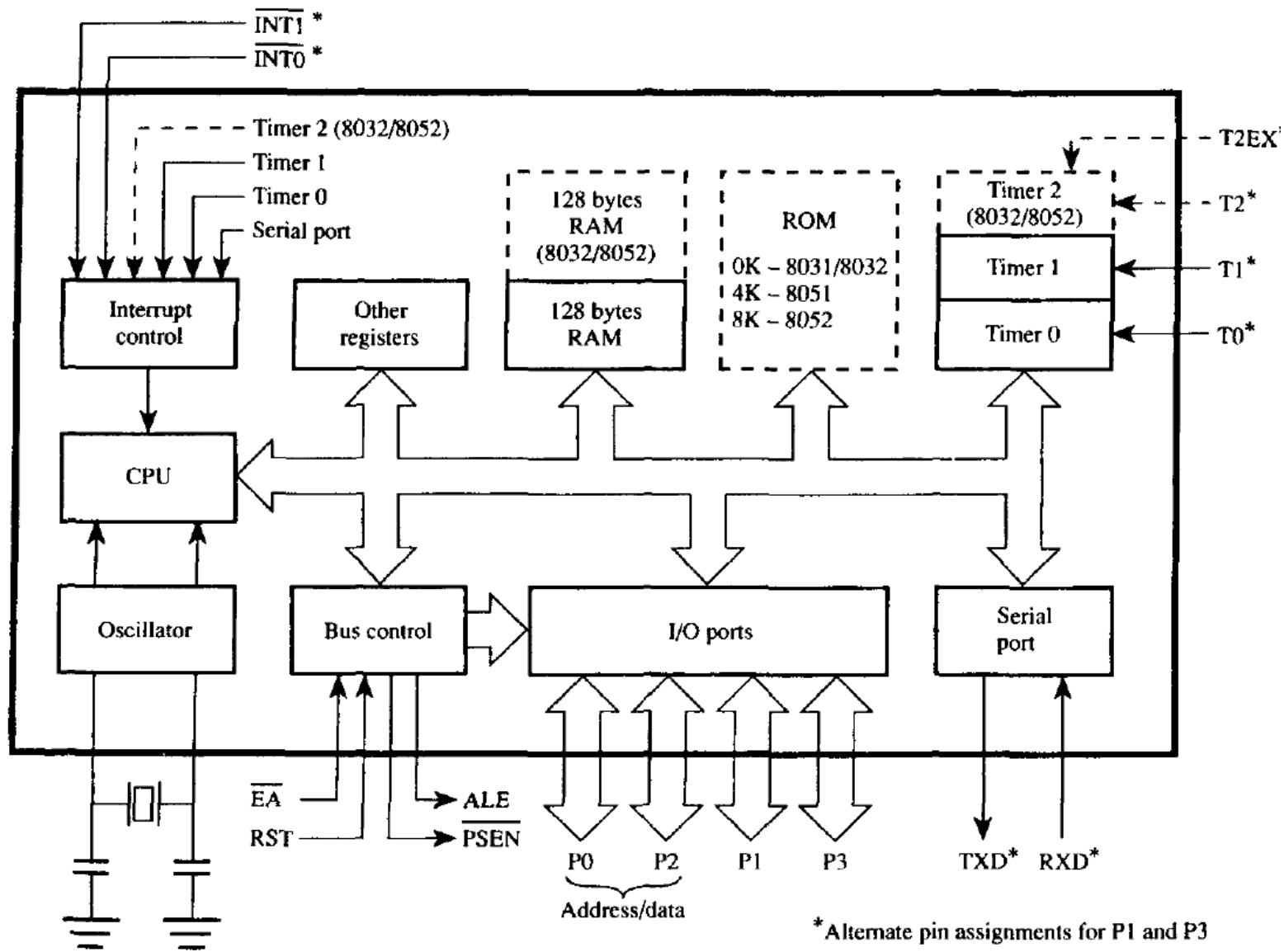
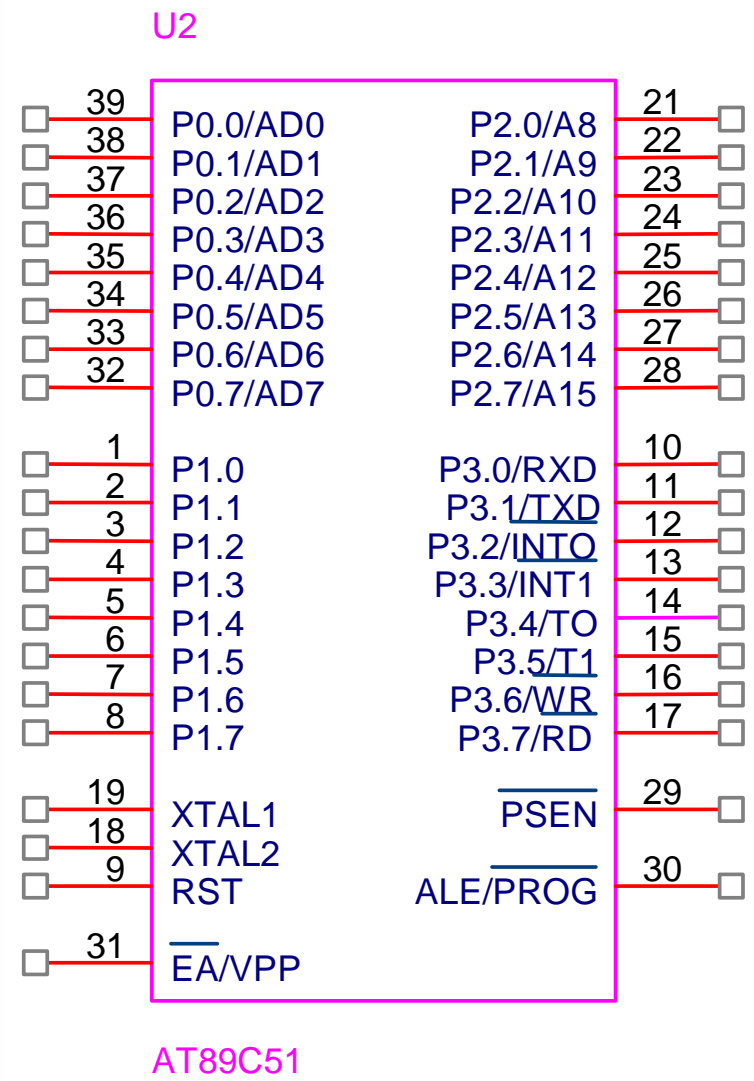
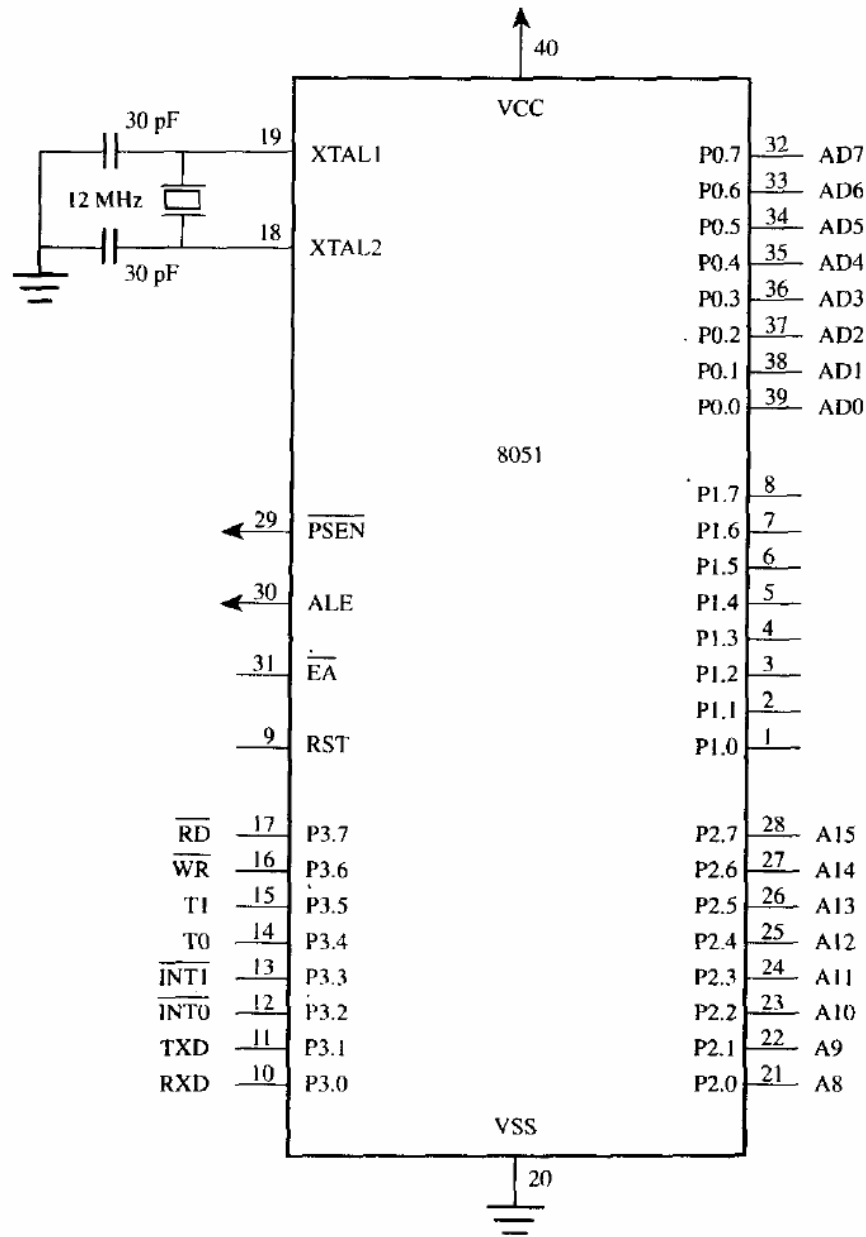


Chương 01

Tóm tắt phần cứng





1.1 Tổng quát

- **Vi mạch tổng quát của họ MCS-51 là chip 8051.**
- **Đặc trưng của chip 8051:**
 - 4 KB EPROM bên trong.
 - 128 Byte RAM nội.
 - 4 Port xuất /nhập I/O 8 bit.
 - Mạch giao tiếp nối tiếp.
 - 64 KB không gian nhớ mã ngoài
 - 64 KB không gian nhớ dữ liệu ngoài.
 - Xử lý Boolean (hoạt động trên bit đơn).
 - 210 vị trí nhớ có thể định vị bit.
 - 4 μ s cho hoạt động nhân hoặc chia.

1.2 Các chân

1.1.1 Port 0: Port 0 là port có 2 chức năng ở các chân 32 đến 39 của 8051.

Trong các thiết kế cỡ nhỏ không dùng bộ nhớ mở rộng, nó có chức năng là các đường xuất/nhập.

Đối với các thiết kế cỡ lớn có bộ nhớ mở rộng, nó trở thành bus địa chỉ và bus dữ liệu. [byte thấp của bus địa chỉ].

1.2 Các chân

1.2.2 Port 1: Port 1 là port xuất/nhập trên các chân 1-8.

Port 1 không có chức năng khác, vì vậy chúng chỉ được dùng cho giao tiếp với các thiết bị bên ngoài.

1.2.3 Port 2: Port 2 là 1 port có tác dụng kép trên các chân 21- 28 được dùng như các đường xuất/nhập.

Byte cao của bus địa chỉ đối với các thiết bị dùng bộ nhớ mở rộng.

1.2 Các chân

1.2.4 Port 3: Port 3 là port có tác dụng kép trên các chân 10-17.

Khi không hoạt động xuất/nhập, các chân của port này có nhiều chức năng riêng:

1.2 Các chân

<i>Bit</i>	<i>Tên</i>	<i>Chức năng</i>
P3.0	RXT	Ngõ vào dữ liệu nối tiếp.
P3.1	TXD	Ngõ xuất dữ liệu nối tiếp.
P3.2	$\overline{\text{INT0}}$	Ngõ vào ngắt cứng thứ 0
P3.3	$\overline{\text{INT1}}$	Ngõ vào ngắt cứng thứ 1
P3.4	T0	Ngõ vào của bộ định thời/đếm thứ 0.
P3.5	T1	Ngõ vào của bộ định thời/đếm thứ 1.
P3.6	$\overline{\text{WR}}$	Tín hiệu ghi dữ liệu lên bộ nhớ ngoài
P3.7	$\overline{\text{RD}}$	Tín hiệu đọc bộ nhớ dữ liệu ngoài.

1.2 Các chân

1.2.5 Chân cho phép bộ nhớ chương trình $\overline{\text{PSEN}}$

- Tín hiệu ngõ ra ở chân 29, có tác dụng cho phép đọc bộ nhớ chương trình mở rộng thường được nối đến chân OE (output enable) của Eprom cho phép đọc các byte mã lệnh.
- $\overline{\text{PSEN}}$ ở mức thấp trong thời gian Microcontroller 8051 lấy lệnh. Các mã lệnh của chương trình được đọc từ Eprom qua bus dữ liệu và được chốt vào thanh ghi lệnh bên trong 8051 để giải mã lệnh.
- Khi 8051 thi hành chương trình trong EPROM nội $\overline{\text{PSEN}}$ sẽ ở mức logic 1.

1.2 Các chân

1.2.6 Chân cho phép chốt địa chỉ ALE

- Khi 8051 truy xuất bộ nhớ bên ngoài, port 0 có chức năng là bus địa chỉ và bus dữ liệu do đó phải tách các đường dữ liệu và địa chỉ. Tín hiệu ra ALE ở chân thứ 30 dùng làm tín hiệu điều khiển để giải đa hợp các đường địa chỉ và dữ liệu khi kết nối chúng với IC chốt.
- Tín hiệu ra ở chân ALE là một xung trong khoảng thời gian port 0 đóng vai trò là địa chỉ thấp nên chốt địa chỉ hoàn toàn tự động.
- Các xung tín hiệu ALE có tốc độ bằng $1/6$ lần tần số dao động trên chip và có thể được dùng làm tín hiệu clock cho các phần khác của hệ thống. Chân ALE được dùng làm ngõ vào xung lập trình cho EPROM trong 8051.

1.2 Các chân

1.2.7 Chân truy xuất ngoài \overline{EA}

- Tín hiệu vào \overline{EA} ở chân 31 thường được mắc lên mức 1 hoặc mức 0.
- Nếu ở mức 1, 8051 thi hành chương trình từ EPROM nội trong khoảng địa chỉ thấp 4 Kbyte.
- Nếu ở mức 0, 8051 sẽ thi hành chương trình từ bộ nhớ mở rộng.
- Chân \overline{EA} được lấy làm chân nhận điện áp cấp điện $12V_{pp}$ khi lập trình cho Eprom trong 8051.

1.2 Các chân

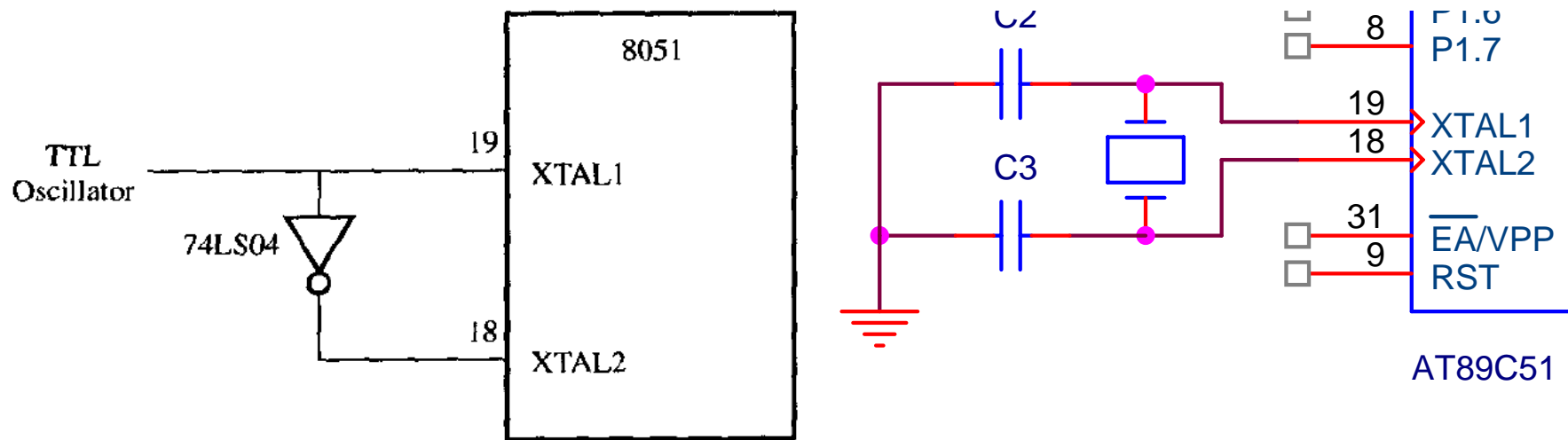
1.2.8 Chân tín hiệu RST (Reset)

- Ngõ vào RST ở chân 9 là ngõ vào xoá chính của 8051 dùng để thiết lập lại trạng thái ban đầu cho hệ thống hay gọi tắt là Reset hệ thống.
- Khi ngõ vào tín hiệu này đưa lên cao ít nhất là 2 chu kỳ máy, các thanh ghi bên trong được nạp những giá trị thích hợp để khởi động lại hệ thống.

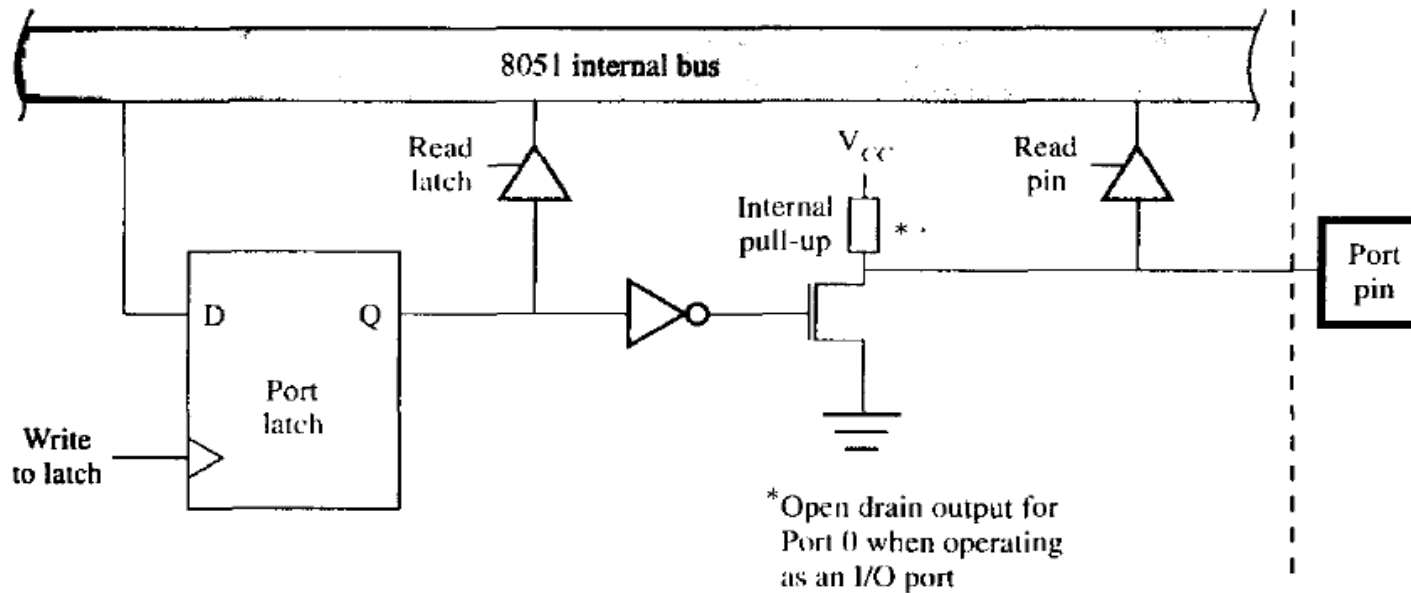
1.2 Các chân

1.2.9 Các chân XTAL1 và XTAL2

- Bộ dao động được tích hợp bên trong 8051 được ghép với thạch anh ở bên ngoài ở 2 chân XTAL1 và XTAL2 (chân 18 và 19).
- Tần số thạch anh thường sử dụng cho 8051 là 12Mhz.



1.3 Cấu trúc của port xuất/nhập



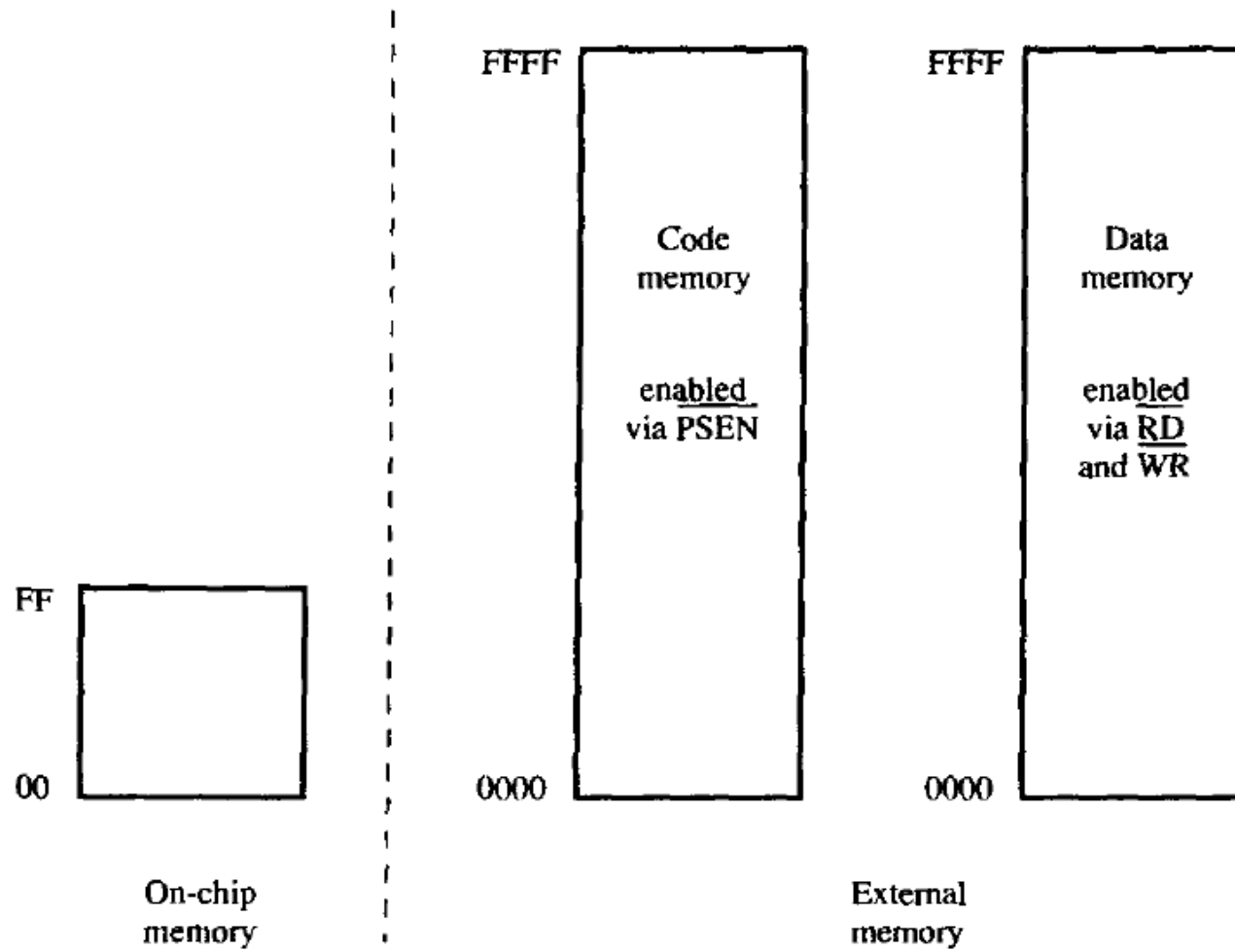
1.4 Tổ chức bộ nhớ

- Bộ nhớ trong 8051 bao gồm EPROM và RAM. RAM trong 8051 bao gồm nhiều thành phần: phần lưu trữ đa dụng, phần lưu trữ địa chỉ hóa từng bit, các dây thanh ghi và các thanh ghi chức năng đặc biệt.
- Hai đặc tính cần chú ý là:
 - ✓ Các thanh ghi và các port xuất nhập đã được định vị (xác định) trong bộ nhớ và có thể truy xuất trực tiếp giống như các địa chỉ bộ nhớ khác.
 - ✓ Ngăn xếp bên trong Ram nội nhỏ hơn so với Ram ngoại như trong các bộ Microcontroller khác.

1.4 Tổ chức bộ nhớ

RAM bên trong 8951 được phân chia:

- Các dãy thanh ghi có địa chỉ từ 00H đến 1FH.
- RAM địa chỉ hóa từng bit có địa chỉ từ 20H đến 2FH.
- RAM đa dụng từ 30H đến 7FH.
- Các thanh ghi chức năng đặc biệt từ 80H đến FFH.



Byte address	Bit address															
7F	General purpose RAM															
30																
2F									7F	7E	7D	7C	7B	7A	79	78
2E									77	76	75	74	73	72	71	70
2D									6F	6E	6D	6C	6B	6A	69	68
2C									67	66	65	64	63	62	61	60
2B									5F	5E	5D	5C	5B	5A	59	58
2A									57	56	55	54	53	52	51	50
29									4F	4E	4D	4C	4B	4A	49	48
28									47	46	45	44	43	42	41	40
27	3F	3E	3D	3C	3B	3A	39	38								
26	37	36	35	34	33	32	31	30								
25	2F	2E	2D	2C	2B	2A	29	28								
24	27	26	25	24	23	22	21	20								
23	1F	1E	1D	1C	1B	1A	19	18								
22	17	16	15	14	13	12	11	10								
21	0F	0E	0D	0C	0B	0A	09	08								
20	07	06	05	04	03	02	01	00								
1F	Bank 3															
18	Bank 2															
17	Bank 1															
10	Bank 1															
0F	Bank 1															
08	Bank 1															
07	Default register bank for R0-R7															
00	Default register bank for R0-R7															

Bit-addressable locations

RAM

Byte address	Bit address								
FF									
F0	F7	F6	F5	F4	F3	F2	F1	F0	B
E0	E7	E6	E5	E4	E3	E2	E1	E0	ACC
D0	D7	D6	D5	D4	D3	D2	-	D0	PSW
B8	-	-	-	BC	BB	BA	B9	B8	IP
B0	B7	B6	B5	B4	B3	B2	B1	B0	P3
A8	AF	-	-	AC	AB	AA	A9	A8	IE
A0	A7	A6	A5	A4	A3	A2	A1	A0	P2
99	not bit addressable								SBUF
98	9F	9E	9D	9C	9B	9A	99	98	SCON
90	97	96	95	94	93	92	91	90	P1
8D	not bit addressable								TH1
8C	not bit addressable								TH0
8B	not bit addressable								TL1
8A	not bit addressable								TL0
89	not bit addressable								TMOD
88	8F	8E	8D	8C	8B	8A	89	88	TCON
87	not bit addressable								PCON
83	not bit addressable								DPH
82	not bit addressable								DPL
81	not bit addressable								SP
80	87	86	85	84	83	82	81	80	P0

SPECIAL FUNCTION REGISTERS

1.4.1 Vùng RAM đa mục đích

- Mặc dù trên hình vẽ cho thấy 80 byte đa dụng chiếm các địa chỉ từ 30H đến 7FH, 32 byte dưới từ 00H đến 1FH cũng có thể dùng với mục đích tương tự (mặc dù các địa chỉ này đã có mục đích khác).
- Mọi địa chỉ trong vùng RAM đa dụng đều có thể truy xuất tự do dùng kiểu địa chỉ trực tiếp hoặc gián tiếp.

VD: MOV A, 5FH MOV R0, #5FH
 MOV A, @R0

1.4.2 Vùng RAM định địa chỉ bit

- 8051 chứa 210 bit được địa chỉ hóa, trong đó có 128 bit có chứa các byte chứa các địa chỉ từ 20H đến 2FH và các bit còn lại chứa trong nhóm thanh ghi có chức năng đặc biệt.
- Ý tưởng truy xuất từng bit bằng phần mềm là các đặc tính mạnh của microcontroller xử lý chung. Các bit có thể được đặt, xóa, AND, OR, ... , với 1 lệnh đơn. Đa số các microcontroller xử lý đòi hỏi một chuỗi lệnh đọc-sửa-ghi để đạt được mục đích tương tự. Ngoài ra các port cũng có thể truy xuất được từng bit.
- 128 bit có chứa các byte có địa chỉ từ 00H -2FH cũng có thể truy xuất như các byte hoặc các bit phụ thuộc vào lệnh được dùng.

1.4.3 Các dãy thanh ghi

- 32 byte thấp của bộ nhớ nội được dành cho các dãy thanh ghi. Bộ lệnh 8051 hỗ trợ 8 thanh ghi có tên là R0-R7 và theo mặc định sau khi reset hệ thống, các thanh ghi này có các địa chỉ từ 00H - 07H.
- Các lệnh dùng các thanh ghi R0-R7 sẽ ngắn hơn và nhanh hơn so với các lệnh có chức năng tương ứng dùng kiểu địa chỉ trực tiếp. Các dữ liệu được dùng thường xuyên nên dùng một trong các thanh ghi này.
- Do có 4 dãy thanh ghi nên tại một thời điểm chỉ có một dãy thanh ghi được truy xuất bởi các thanh ghi R0 - R7 để chuyển đổi việc truy xuất các dãy thanh ghi ta phải thay đổi các bit chọn dãy trong thanh ghi trạng thái.

1.5 Các thanh ghi có chức năng đặc biệt

- Các thanh ghi nội của 8051 được truy xuất ngầm định bởi bộ lệnh.
- Các thanh ghi trong 8051 được định dạng như một phần của RAM trên chip vì vậy mỗi thanh ghi sẽ có một địa chỉ (ngoại trừ thanh ghi bộ đếm chương trình và thanh ghi lệnh vì các thanh ghi này hiếm khi bị tác động trực tiếp). Cũng như R0 đến R7, 8051 có 21 thanh ghi có chức năng đặc biệt (SFR: Special Function Register) ở vùng trên của RAM nội từ địa chỉ 80H - FFH.
- Chú ý: tất cả 128 địa chỉ từ 80H đến FFH không được định nghĩa, chỉ có 21 thanh ghi có chức năng đặc biệt được định nghĩa sẵn các địa chỉ.
- Ngoại trừ thanh ghi A có thể được truy xuất ngầm như đã nói, đa số các thanh ghi có chức năng đặc biệt SFR có thể địa chỉ hóa từng bit hoặc byte.

1.5.1 Thanh ghi trạng thái chương trình (PSW: Program Status Word):

- Từ trạng thái chương trình ở địa chỉ D0H được tóm tắt như sau:

Bit	Symbol	Address	Description
PSW.7	CY	D7H	Cờ nhớ
PSW.6	AC	D6H	Cờ nhớ phụ
PSW.5	F0	D5H	Cờ 0
PSW.4	RS1	D4H	Chọn dãy thanh ghi (bit 1)
PSW.3	RS0	D3H	Chọn dãy thanh ghi (bit 0)
			00=Bank 0; địa chỉ từ 00H đến 07H
			01=Bank 1; địa chỉ từ 08H đến 0FH
			10=Bank 2; địa chỉ từ 10H đến 17H
			11=Bank 3; địa chỉ từ 18H đến 1FH

1.5.1 Thanh ghi trạng thái chương trình (PSW: Program Status Word):

Bit	Symbol	Address	Description
PSW.2	OV	D2H	Cờ tràn
PSW.1	-	D1H	Dự trữ
PSW.0	P	DOH	Cờ kiểm tra chẵn lẻ

1.5.1-1 Cờ nhớ (Carry flag)

- **Cờ nhớ CY có 2 công dụng. Thông thường nó được dùng cho các lệnh toán học: $C=1$ nếu phép toán cộng có sự tràn hoặc phép trừ có mượn và ngược lại $C=0$ nếu phép toán cộng không tràn và phép trừ không có mượn.**

1.5.1-2 Cờ nhớ phụ AC (Auxiliary Carry Flag)

- **Khi cộng những giá trị BCD (Binary Code Decimal), cờ nhớ phụ AC được set nếu kết quả 4 bit thấp nằm trong phạm vi điều khiển 0AH - 0FH. Ngược lại AC=0.**

1.5.1-3 Cờ 0 (Flag 0)

- **Cờ 0 (F0) là 1 bit cờ đa dụng dùng cho các ứng dụng của người dùng.**

1.5.1-4 Các bit chọn dãy thanh ghi

- **RS1 và RS0 quyết định dãy thanh ghi tích cực. Chúng được xóa sau khi reset hệ thống và được thay đổi bởi phần mềm khi cần thiết.**
- **Tùy theo RS1, RS0 = 00, 01, 10, 11 sẽ được chọn Bank tích cực tương ứng là Bank 0, Bank1, Bank2, Bank3.**

<i>RS1</i>	<i>RS0</i>	<i>Dãy</i>
0	0	0
0	1	1
1	0	2
1	1	3

1.5.1-5 Cờ tràn OV (Over Flag):

- **Cờ tràn được set sau một hoạt động cộng hoặc trừ nếu có sự tràn toán học. Khi các số có dấu được cộng hoặc trừ với nhau, phần mềm có thể kiểm tra bit này để xác định xem kết quả có nằm trong tầm xác định không.**
- **Khi các số không có dấu được cộng bit OV được bỏ qua.**
- **Các kết quả lớn hơn +127 hoặc nhỏ hơn -128 thì bit $OV=1$.**

1.5.1-6 Cờ chẵn lẻ P (Bit Parity)

- Bit tự động được set hay Clear ở mỗi chu kỳ máy để lập Parity chẵn với thanh ghi A. Sự đếm các bit 1 trong thanh ghi A cộng với bit Parity luôn luôn chẵn. Ví dụ A chứa 10101101B thì bit P set lên 1 để tổng số bit 1 trong A và P tạo thành số chẵn.
- Bit Parity thường được dùng trong sự kết hợp với những thủ tục của Port nối tiếp để tạo ra bit Parity trước khi phát đi hoặc kiểm tra bit Parity sau khi thu.

1.5.2 Thanh ghi B

- Thanh ghi B ở địa chỉ F0H được dùng cùng với thanh ghi A cho các phép toán nhân chia. Lệnh MUL AB sẽ nhận những giá trị không dấu 8 bit trong hai thanh ghi A và B, rồi trả về kết quả 16 bit trong A (byte cao) và B (byte thấp). Lệnh DIV AB lấy A chia B, kết quả nguyên đặt vào A, số dư đặt vào B.
- Thanh ghi B có thể được dùng như một thanh ghi đệm trung gian đa mục đích. Nó là những bit định vị thông qua những địa chỉ từ F0H-F7H.

1.5.3 Con trỏ Ngăn xếp SP (Stack Pointer)

- Con trỏ ngăn xếp là một thanh ghi 8 bit ở địa chỉ 81H. Nó chứa địa chỉ của byte dữ liệu hiện hành trên đỉnh ngăn xếp. Các lệnh trên ngăn xếp bao gồm các lệnh cất dữ liệu vào ngăn xếp (PUSH) và lấy dữ liệu ra khỏi ngăn xếp (POP). Lệnh cất dữ liệu vào ngăn xếp sẽ làm tăng SP trước khi ghi dữ liệu và lệnh lấy ra khỏi ngăn xếp sẽ làm giảm SP. Ngăn xếp của 8031/8051 được giữ trong RAM nội và giới hạn các địa chỉ có thể truy xuất bằng địa chỉ gián tiếp, chúng là 128 byte đầu của 8951.
- Để khởi động SP với ngăn xếp bắt đầu tại địa chỉ 60H, các lệnh sau đây được dùng:

MOV SP , #5F

1.5.3 Con trỏ Ngăn xếp SP (Stack Pointer)

- Với lệnh trên thì ngăn xếp của 8951 chỉ có 32 byte vì địa chỉ cao nhất của RAM trên chip là 7FH. Sở dĩ giá trị 5FH được nạp vào SP vì SP tăng lên 1 là 60H trước khi cất byte dữ liệu.
- Khi Reset 8951, SP sẽ mang giá trị mặc định là 07H và dữ liệu đầu tiên sẽ được cất vào ô nhớ ngăn xếp có địa chỉ 08H. Nếu phần mềm ứng dụng không khởi động SP một giá trị mới thì bank thanh ghi 1 có thể cả 2 và 3 sẽ không dùng được vì vùng RAM này đã được dùng làm ngăn xếp. Ngăn xếp được truy xuất trực tiếp bằng các lệnh PUSH và POP để lưu trữ tạm thời và lấy lại dữ liệu, hoặc truy xuất ngầm bằng lệnh gọi chương trình con (ACALL, LCALL) và các lệnh trở về (RET, RETI) để lưu trữ giá trị của bộ đếm chương trình khi bắt đầu thực hiện chương trình con và lấy lại khi kết thúc chương trình con ...

1.5.4 Con trỏ dữ liệu DPTR (Data Pointer)

- Con trỏ dữ liệu (DPTR) được dùng để truy xuất bộ nhớ ngoài là một thanh ghi 16 bit ở địa chỉ 82H (DPL: byte thấp) và 83H (DPH: byte cao). Ba lệnh sau sẽ ghi 55H vào RAM ngoài ở địa chỉ 1000H:

MOV A, #55H

MOV DPTR, #1000H

MOV @DPTR, A

- Lệnh đầu tiên dùng để nạp 55H vào thanh ghi A. Lệnh thứ hai dùng để nạp địa chỉ của ô nhớ cần lưu giá trị 55H vào con trỏ dữ liệu DPTR. Lệnh thứ ba sẽ di chuyển nội dung thanh ghi A (là 55H) vào ô nhớ RAM bên ngoài có địa chỉ chứa trong DPTR (là 1000H)

1.5.5 Các thanh ghi Port (Port Register)

- **Các Port của 8051 bao gồm Port 0 ở địa chỉ 80H, Port1 ở địa chỉ 90H, Port2 ở địa chỉ A0H, và Port3 ở địa chỉ B0H. Tất cả các Port này đều có thể truy xuất từng bit nên rất thuận tiện trong khả năng giao tiếp.**

1.5.6 Các thanh ghi định thời (Timer Register)

- 8051 có chứa hai bộ định thời/bộ đếm 16 bit được dùng cho việc định thời được đếm sự kiện. Timer0 ở địa chỉ 8AH (TLO: byte thấp) và 8CH (THO: byte cao). Timer1 ở địa chỉ 8BH (TL1: byte thấp) và 8DH (TH1 : byte cao).
- Việc khởi động timer được SET bởi Timer Mode (TMOD) ở địa chỉ 89H và thanh ghi điều khiển Timer (TCON) ở địa chỉ 88H. Chỉ có TCON được địa chỉ hóa từng bit.

1.5.7 Các thanh ghi Port nối tiếp (Serial Port Register)

- 8051 chứa một Port nối tiếp cho việc trao đổi thông tin với các thiết bị nối tiếp như máy tính, modem hoặc giao tiếp nối tiếp với các IC khác.
- Một thanh ghi đệm dữ liệu nối tiếp (SBUF) ở địa chỉ 99H sẽ giữ cả hai dữ liệu truyền và dữ liệu nhập. Khi truyền dữ liệu ghi lên SBUF, khi nhận dữ liệu thì đọc SBUF.
- Các mode vận khác nhau được lập trình qua thanh ghi điều khiển Port nối tiếp (SCON) được địa chỉ hóa từng bit ở địa chỉ 98H.

1.5.8 Các thanh ghi ngắt (Interrupt Register)

- 8051 có cấu trúc 5 nguồn ngắt, 2 mức ưu tiên. Các ngắt bị cấm sau khi bị reset hệ thống và sẽ được cho phép bằng việc ghi thanh ghi cho phép ngắt (IE) ở địa chỉ A8H. Cả hai được địa chỉ hóa từng bit.

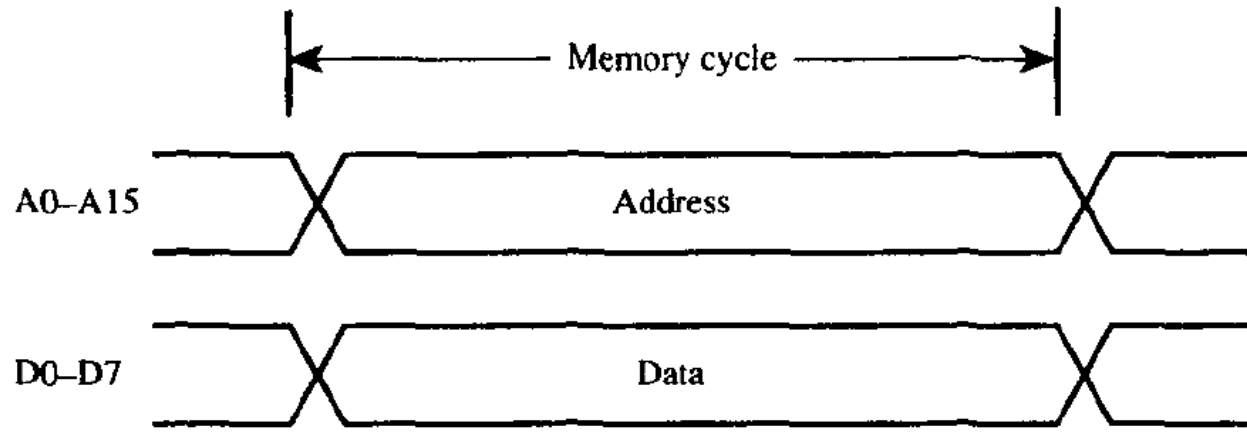
1.5.9 Các thanh ghi điều khiển nguồn

PCON (Power Control Register)

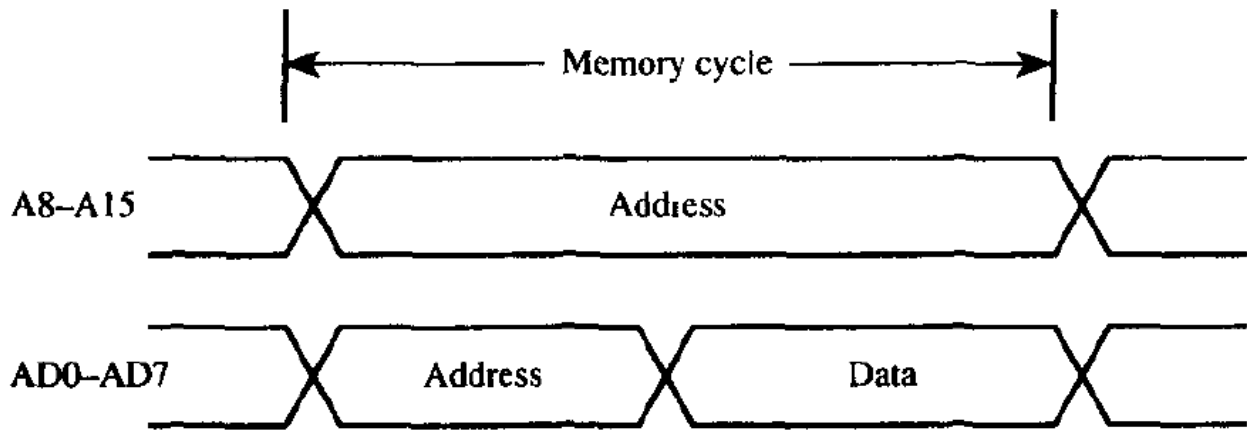
- Thanh ghi PCON không có bit định vị. Nó ở địa chỉ 87H chứa nhiều bit điều khiển. Thanh ghi PCON được tóm tắt như sau:
 - Bit 7 (SMOD) : Bit có tốc độ Baud ở mode 1, 2, 3 ở Port nối tiếp khi set.
 - Bit 6, 5, 4 : Không có địa chỉ.
 - Bit 3 (GF1) : Bit cờ đa năng 1.
 - Bit 2 (GF0) : Bit cờ đa năng 2.
 - Bit 1 * (PD) : Set để khởi động mode Power Down và thoát để reset.
 - Bit 0 * (IDL) : Set để khởi động mode Idle và thoát khi ngắt mạch hoặc reset.
- Các bit điều khiển Power Down và Idle có tác dụng chính trong tất cả các IC họ MSC-51 nhưng chỉ được thi hành trong sự biên dịch của CMOS.

1.6 Bộ nhớ ngoài (External Memory)

- 8051 có khả năng mở rộng bộ nhớ lên đến 64K byte bộ nhớ chương trình và 64k byte bộ nhớ dữ liệu ngoài. Do đó có thể dùng thêm RAM và EPROM nếu cần.
- Khi dùng bộ nhớ ngoài, Port0 không còn chức năng I/O. Nó được kết hợp giữa bus địa chỉ (A0-A7) và bus dữ liệu (D0-D7) với tín hiệu ALE để chốt byte của bus địa chỉ chỉ khi bắt đầu mỗi chu kỳ bộ nhớ. Port2 được cho là byte cao của bus địa chỉ.



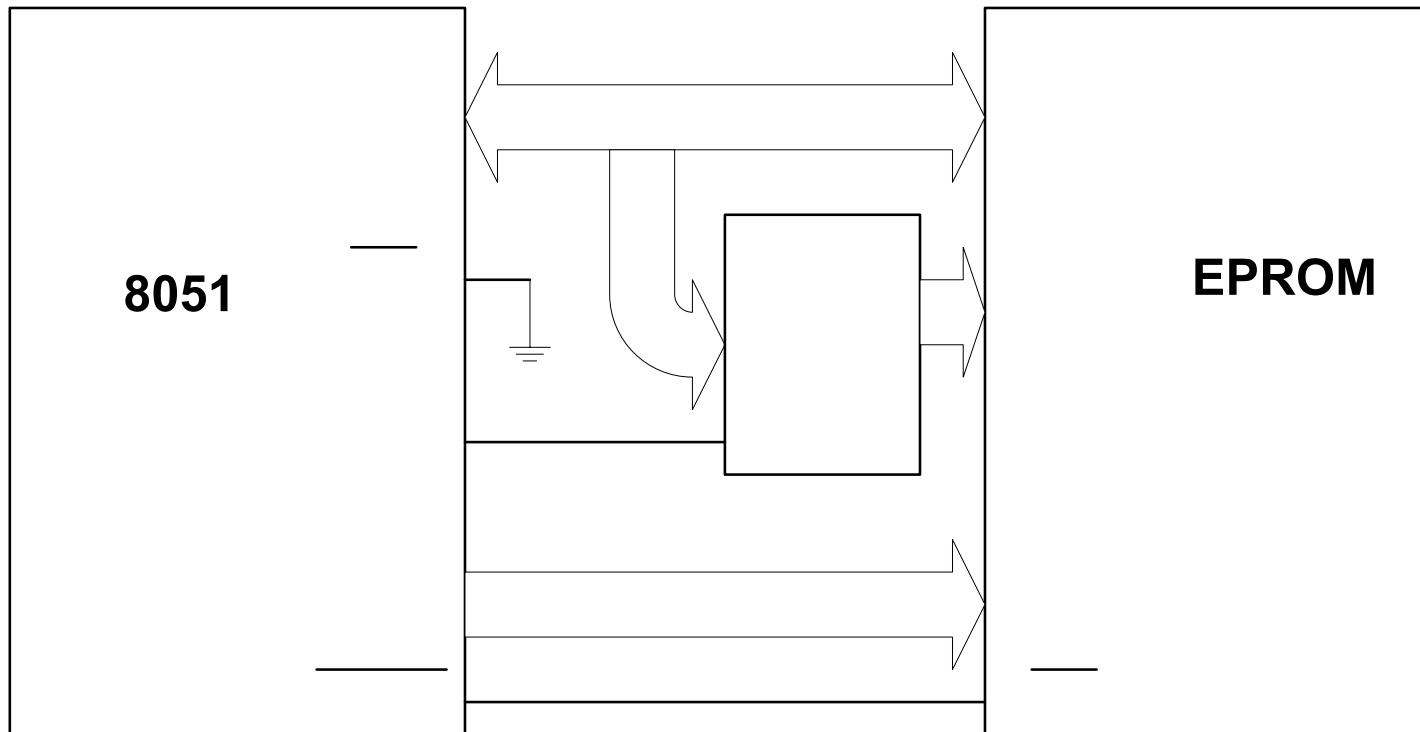
(a) Nonmultiplexed (24 pins)

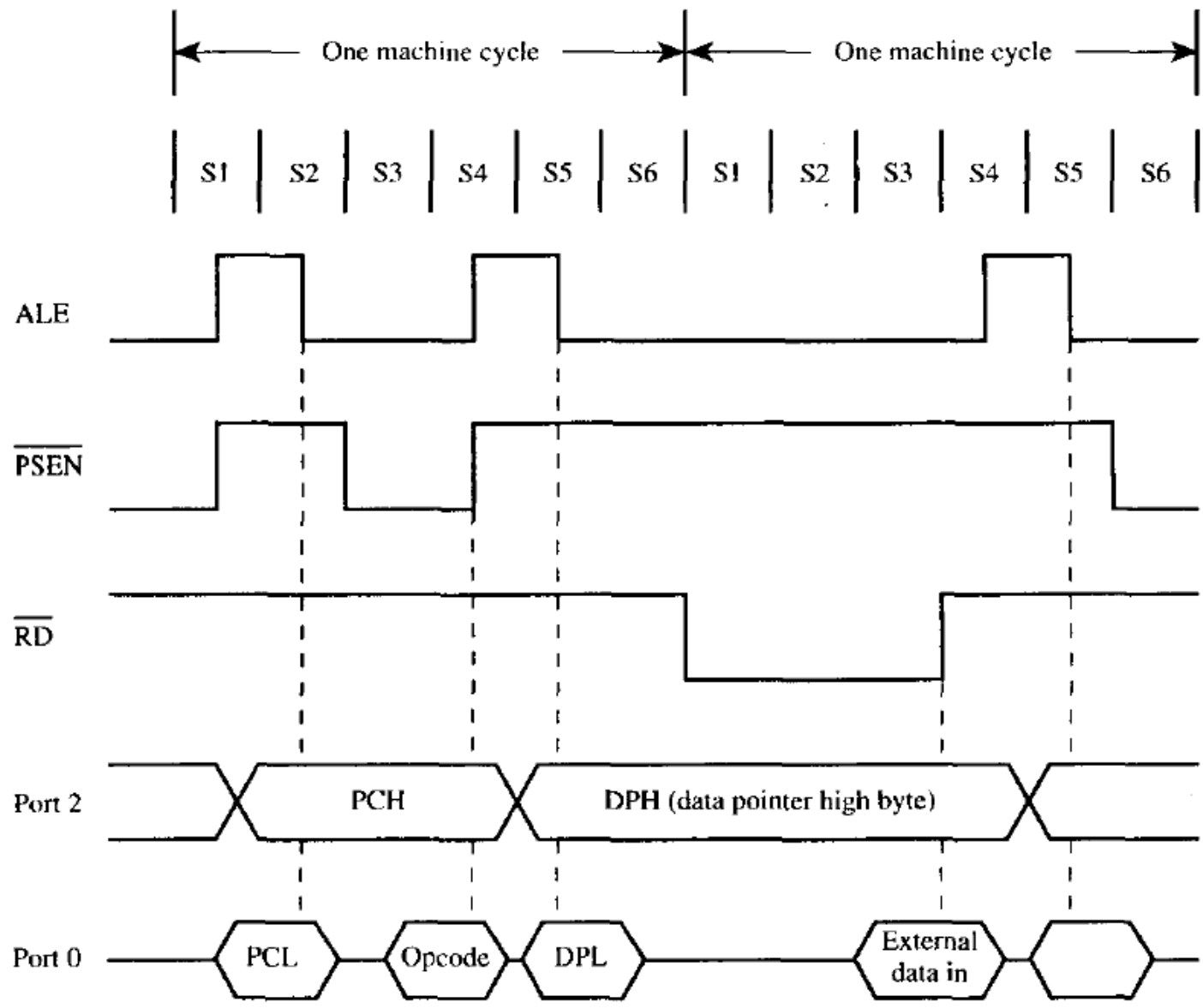


(b) Multiplexed (16 pins)

1.6.1 Truy xuất bộ nhớ mã ngoài (Accessing External Code Memory)

- Bộ nhớ chương trình bên ngoài là bộ nhớ EPROM được cho phép của tín hiệu $\overline{\text{PSEN}}$. Sự kết nối phần cứng của bộ nhớ EPROM như sau:





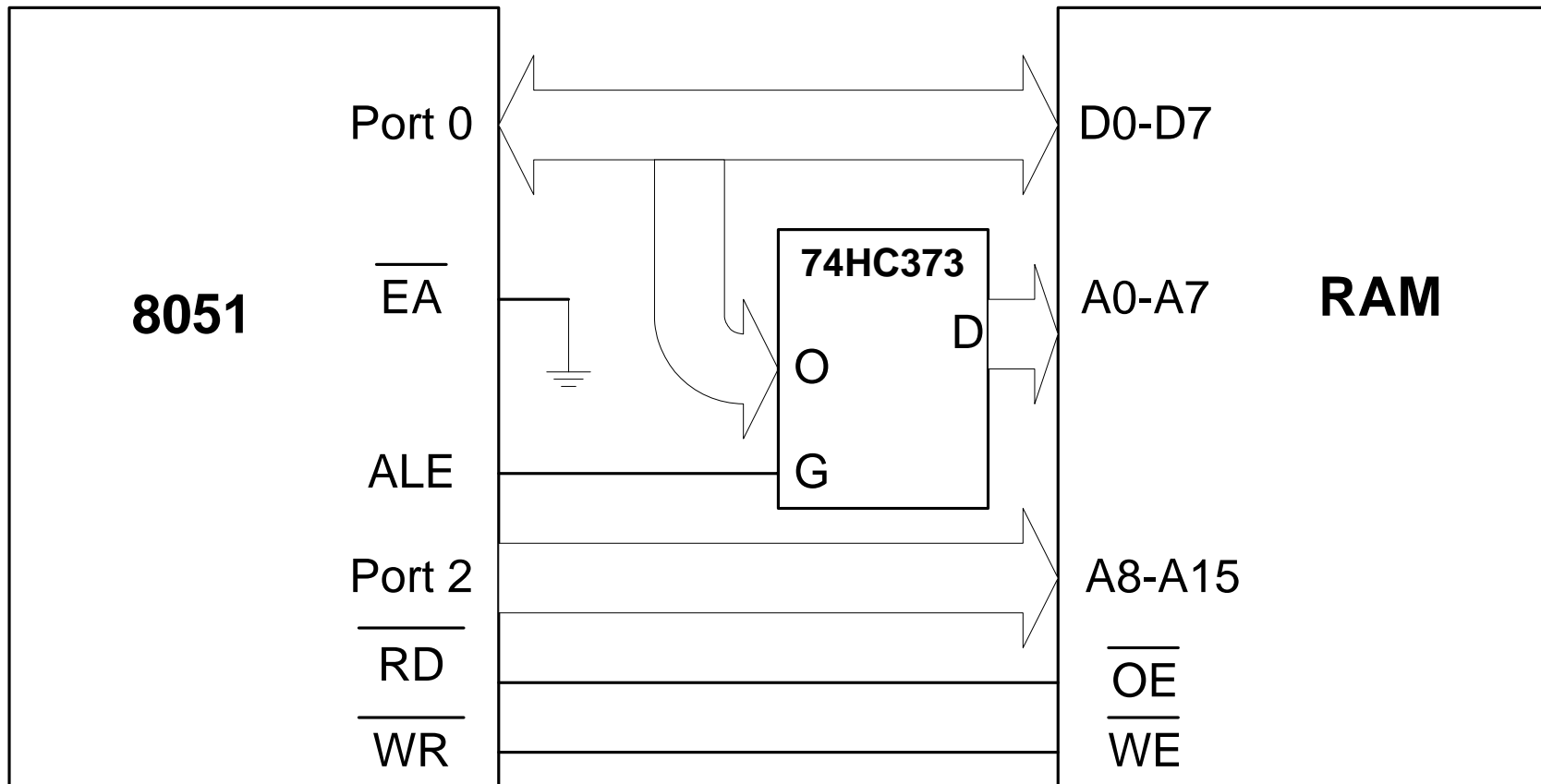
1.6.1 Truy xuất bộ nhớ mã ngoài (Accessing External Code Memory)

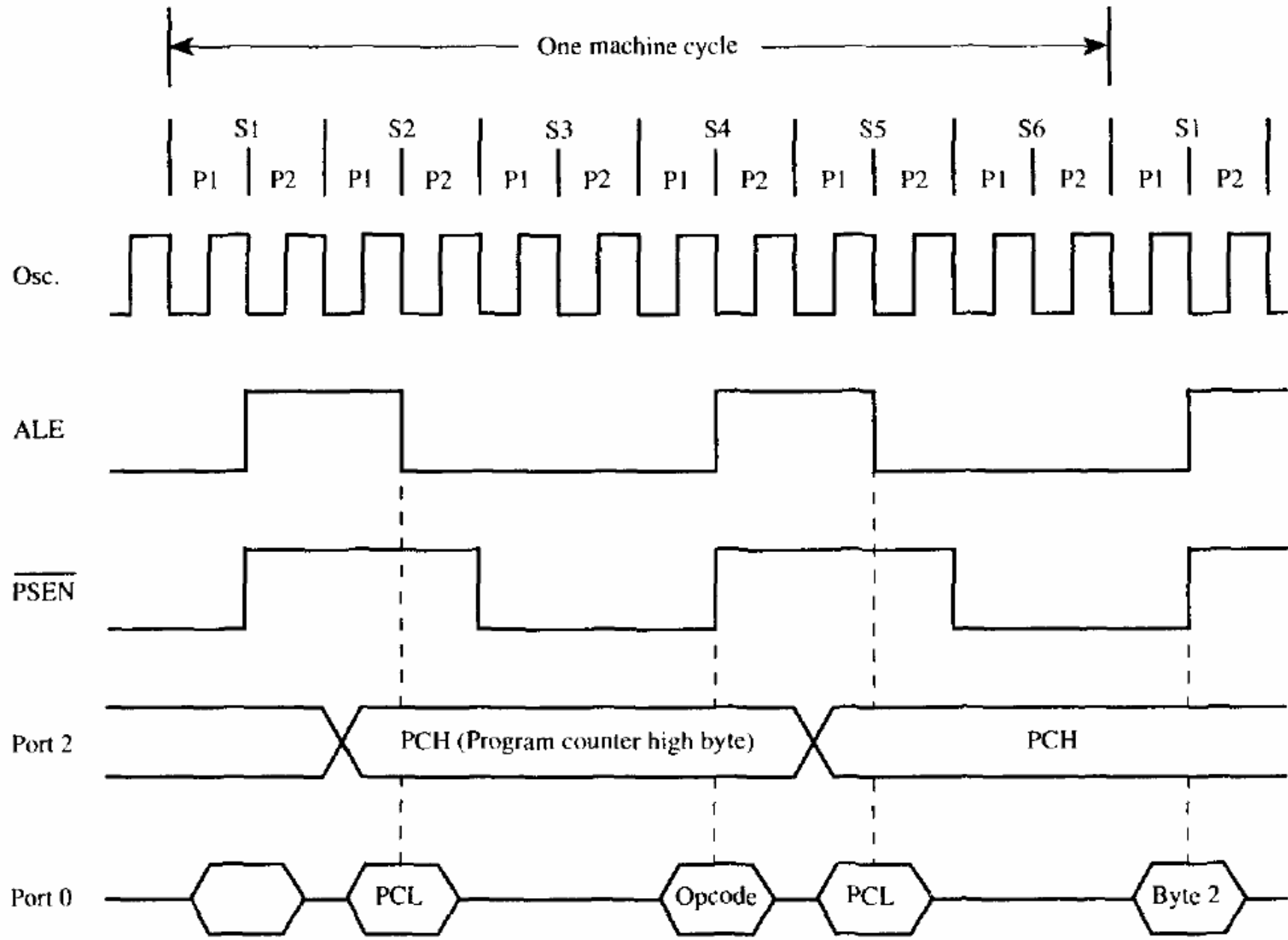
- Trong một chu kỳ máy tiêu biểu, tín hiệu ALE tích cực 2 lần. Lần thứ nhất cho phép 74HC373 mở cổng chốt địa chỉ byte thấp, khi ALE xuống 0 thì byte thấp và byte cao của bộ đếm chương trình đều có nhưng EPROM chưa xuất vì $\overline{\text{PSEN}}$ chưa tích cực, khi tín hiệu lên 1 trở lại thì Port 0 đã có dữ liệu là Opcode. ALE tích cực lần thứ hai được giải thích tương tự và byte 2 được đọc từ bộ nhớ chương trình. Nếu lệnh đang hiện hành là lệnh 1 byte thì CPU chỉ đọc Opcode, còn byte thứ hai bỏ

1.6.2 Truy xuất bộ nhớ dữ liệu ngoài (Accessing External Data Memory)

- Bộ nhớ dữ liệu ngoài là một bộ nhớ RAM được đọc hoặc ghi khi được cho phép của tín hiệu \overline{RD} và \overline{WR} . Hai tín hiệu này nằm ở chân P3.7 (\overline{RD}) và P3.6 (\overline{WR}). Lệnh MOVX được dùng để truy xuất bộ nhớ dữ liệu ngoài và dùng một bộ đệm dữ liệu 16 bit (DPTR), R0 hoặc R1 như là một thanh ghi địa chỉ.
- Các RAM có thể giao tiếp với 8051 tương tự cách thức như EPROM ngoài trừ chân \overline{RD} của 8051 nối với chân \overline{OE} (Output Enable) của RAM và chân \overline{WR} của 8051 nối với chân \overline{WE} của RAM. Sự nối các bus địa chỉ và dữ liệu tương tự như cách nối của EPROM.

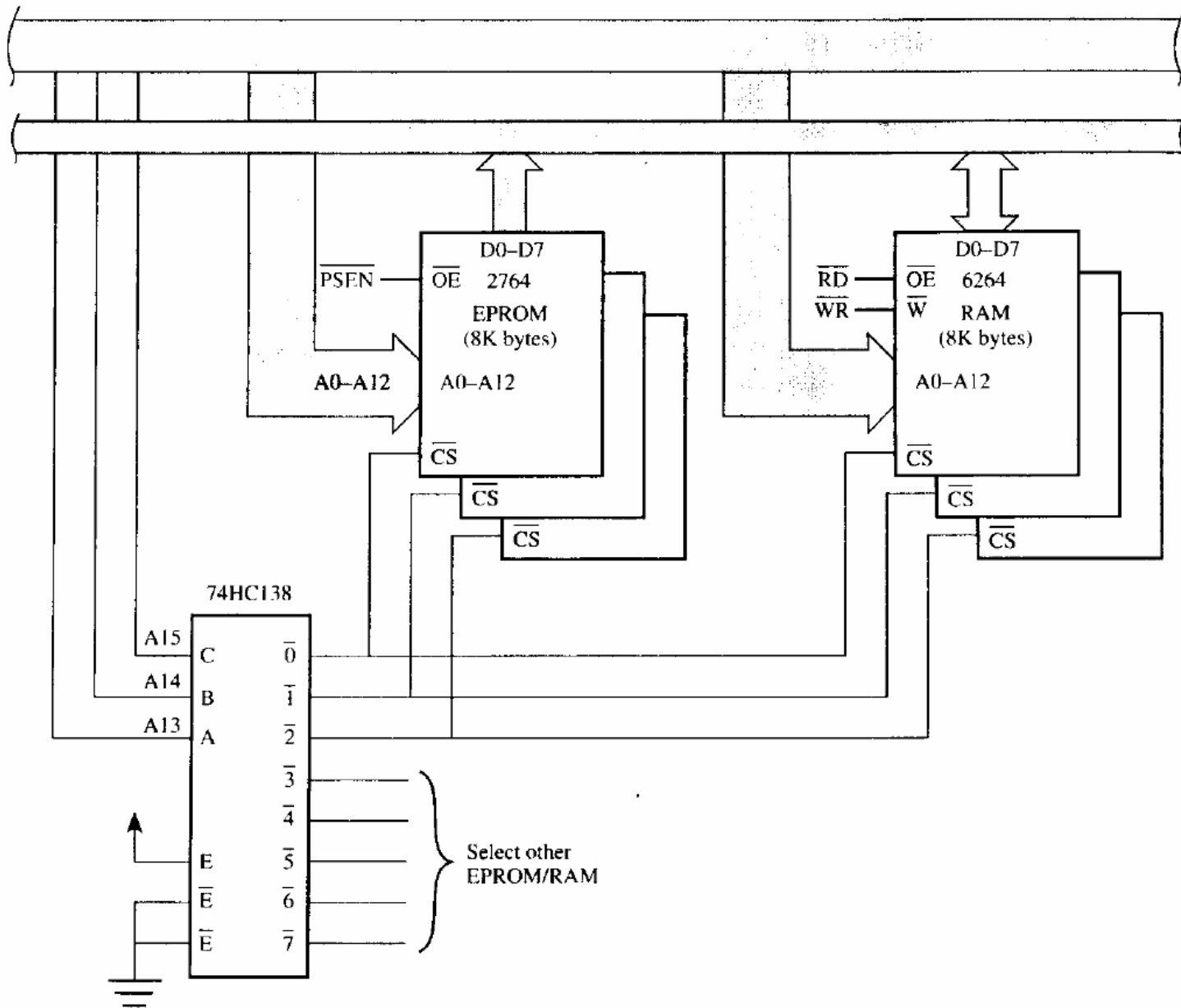
1.6.2 Truy xuất bộ nhớ dữ liệu ngoài (Accessing External Data Memory)





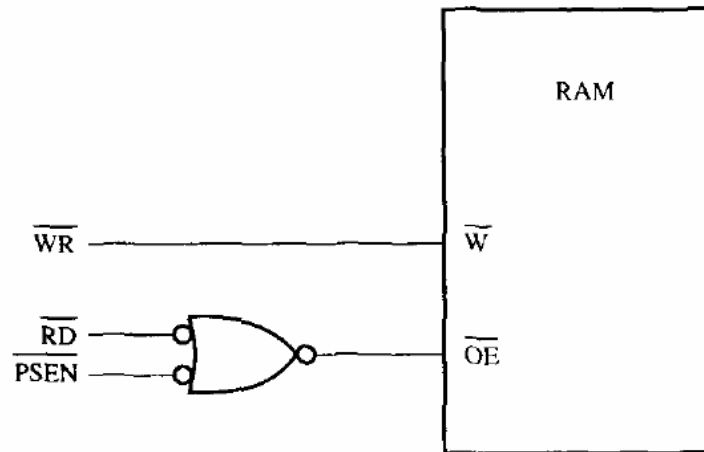
1.6.3 Giải mã địa chỉ (Address Decoding)

- Sự giải mã địa chỉ là một yêu cầu tất yếu để chọn EPROM, RAM, 8279, ... Sự giải mã địa chỉ đối với 8951 để chọn các vùng nhớ ngoài. Nếu các con EPROM hoặc RAM 8K được dùng thì các bus địa chỉ phải được giải mã để chọn các IC nhớ nằm trong phạm vi giới hạn 8K: 0000H - 1FFFH ; 2000H - 3FFFH, ...
- Một cách cụ thể, IC giải mã 74HC138 được dùng với những ngõ ra của nó được nối với những ngõ vào chọn Chip CS (Chip Select) trên những IC nhớ EPROM, RAM, ... Hình sau đây cho phép kết nối nhiều EPROM và RAM.



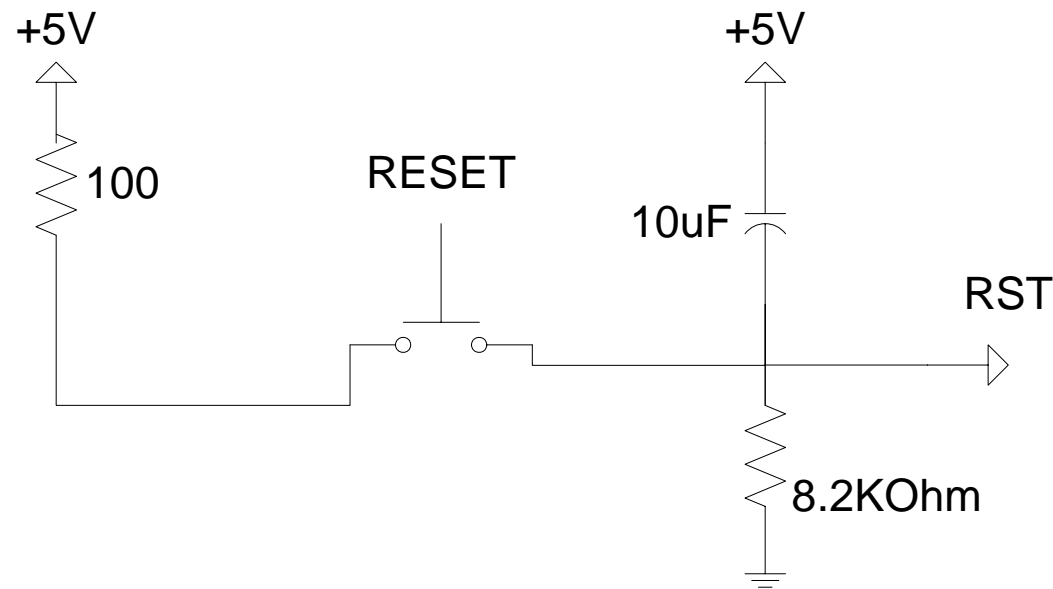
1.6.4 Sự đè lên nhau của các vùng nhớ dữ liệu ngoài

- Vì bộ nhớ chương trình là EPROM, nên nảy sinh một vấn đề bất tiện khi phát triển phần mềm cho vi điều khiển. Một nhược điểm chung của 8951 là các vùng nhớ dữ liệu ngoài nằm đè lên nhau, vì tín hiệu $\overline{\text{PSEN}}$ được dùng để đọc bộ nhớ mã ngoài và tín hiệu $\overline{\text{RD}}$ được dùng để đọc bộ nhớ dữ liệu, nên một bộ nhớ RAM có thể chứa cả chương trình và dữ liệu bằng cách nối đường OE của RAM đến ngõ ra một cổng AND có hai ngõ vào $\overline{\text{PSEN}}$ và $\overline{\text{RD}}$. Sơ đồ mạch như hình sau cho phép bộ nhớ RAM có hai chức năng vừa là bộ nhớ chương trình vừa là bộ nhớ dữ liệu:



1.7 Hoạt động Reset

- 8051 có ngõ vào reset RST tác động ở mức cao trong khoảng thời gian 2 chu kỳ xung máy, sau đó xuống mức thấp để 8951 bắt đầu làm việc. RST có thể kích tay bằng một phím nhấn thường hở, sơ đồ mạch reset như sau:



1.7 Hoạt động Reset

- Trạng thái của tất cả các thanh ghi trong 8951 sau khi reset hệ thống được tóm tắt như sau:

Thanh ghi	Nội dung
Đếm chương trình PC	0000H
Thanh ghi tích lũy A	00H
Thanh ghi B	00H
Thanh ghi thái PSW	00H
SP	07H
DPRT	0000H
Port 0 đến port 3	FFH
IP	XXX0 0000 B
IE	0X0X 0000 B
Các thanh ghi định thời	00H
SCON SBUF	00H
PCON (HMOS)	00H
PCON (CMOS)	0XXX XXXXH 0XXX 0000 B

1.7 Hoạt động Reset

- Thanh ghi quan trọng nhất là thanh ghi bộ đếm chương trình PC được reset tại địa chỉ 0000H. Khi ngõ vào RST xuống mức thấp, chương trình luôn bắt đầu tại địa chỉ 0000H của bộ nhớ chương trình. Nội dung của RAM trên chip không bị thay đổi bởi tác động của ngõ vào reset.